**Bitácora Trabajo Individual y en equipo**

Este instrumento tiene como fin sistematizar el trabajo individual y en equipo para el logro de los objetivos propuestos según el proyecto a realizar. El equipo de trabajo deberá completar la información según el siguiente formato, para cada una de las sesiones de trabajo. Las sesiones de trabajo pueden ser programadas según las posibilidades de cada grupo.

En cada proyecto se debe asignar un rol para cada integrante, el cual debe cambiar en cada proyecto. A continuación se describen los roles:

**Coordinación**: Coordina y orienta el desarrollo de la actividad, se encarga de entregar el producto final del proyecto. Se preocupa por mantener el interés del equipo y que se asuman las responsabilidades individuales y grupales.

**Secretariado**: Responsable de recopilar, sistematizar y consolidar los aportes para la construcción del trabajo colaborativo. Se encarga de completar la minuta y enviarla al equipo para su aprobación.

**Fiscal**: Responsable de conseguir y proponer materiales y herramientas pertinentes para nutrir el trabajo colaborativo. Controla el desarrollo de las actividades conforme el cronograma establecido dentro de las fechas propuestas.

Nota: Si hay más de 3 integrantes por equipo, el cuarto miembro asume rol de fiscal.

En el documento debe anotar la descripción y resumen de la sesión: actividades realizadas, circuitos a diseñar/simular/armar/verificar, resultados previos y finales, problemas encontrados, distribución de tareas, acuerdos, entre otros que consideren necesarios.

**I. Información general**

Grupo No. 1. Proyecto No. 4. Fecha: 09/05/2018.

Nombre del Proyecto: Lógica Secuencial de Control

Sesión No. 1.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Aguero |
| Secretariado | Luis Fernando Murillo |
| Fiscal | Arturo Chinchilla |

**II. Minuta**

Objetivos de la sesión

1. Definir los pasos a seguir para la elaboración del proyecto.

2.Creación de primeros diagramas del diseño modular.

3.Definir funcionamiento de la máquina de estados finitos.

El profesor explico como utilizar un contador para dividir la frecuencia del clock de la FPGA para que muestre las salidas en segundos. Se tiene que la fórmula para calcular el bit necesario al que se debe conectar para obtener la frecuencia deseada es:

Donde n es el bit al que se debe conectar la señal de salida para obtener la frecuencia Fo deseada, y FFPGA la frecuencia del clock de la FPGA

Se necesita un clock con un periodo de 1, 2, y 3s (1 Hz, 0.5 Hz, 0.33 HZ)

Se hizo el estudio del laboratorio 4, y los tres miembros comenzaron la investigación de la máquina de estados finitos, además de los primeros bocetos del diseño modular del mismo laboratorio.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Estudio de máquina de estados finitos. | Todos | 09/07/2018 |
| Estudiar uso de clock en quartus | Jorge Aguero | 09/07/2018 |
| Pensar el diseño modular del laboratorio 4 | Todos | 09/07/2018 |

**II. Información general**

Grupo No. 1. Proyecto No. 4. Fecha: 09/07/2018.

Nombre del Proyecto: Lógica Secuencial de Control

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Aguero |
| Secretariado | Luis Murillo |
| Fiscal | Arturo Chinchilla |

**II. Minuta**

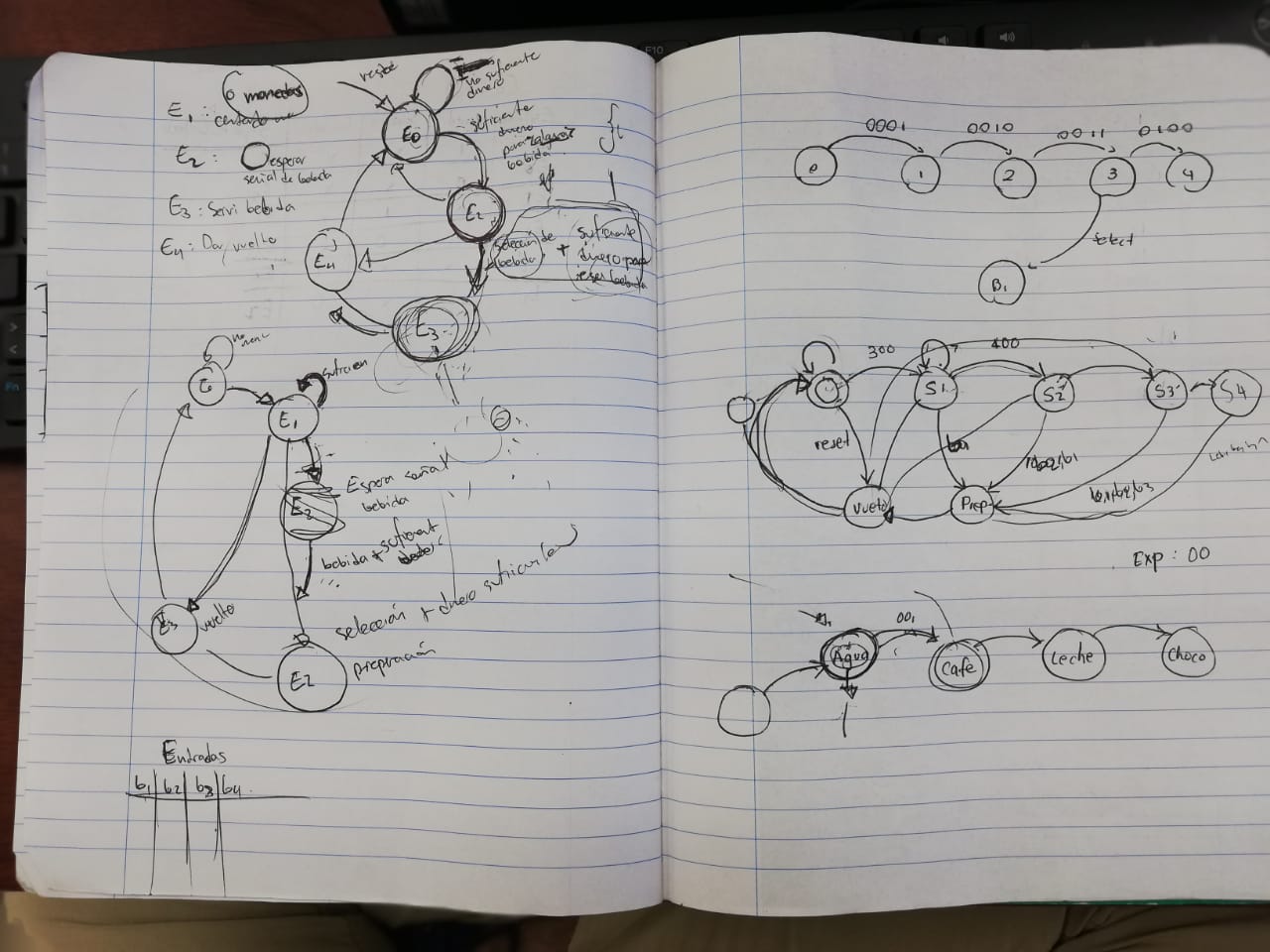
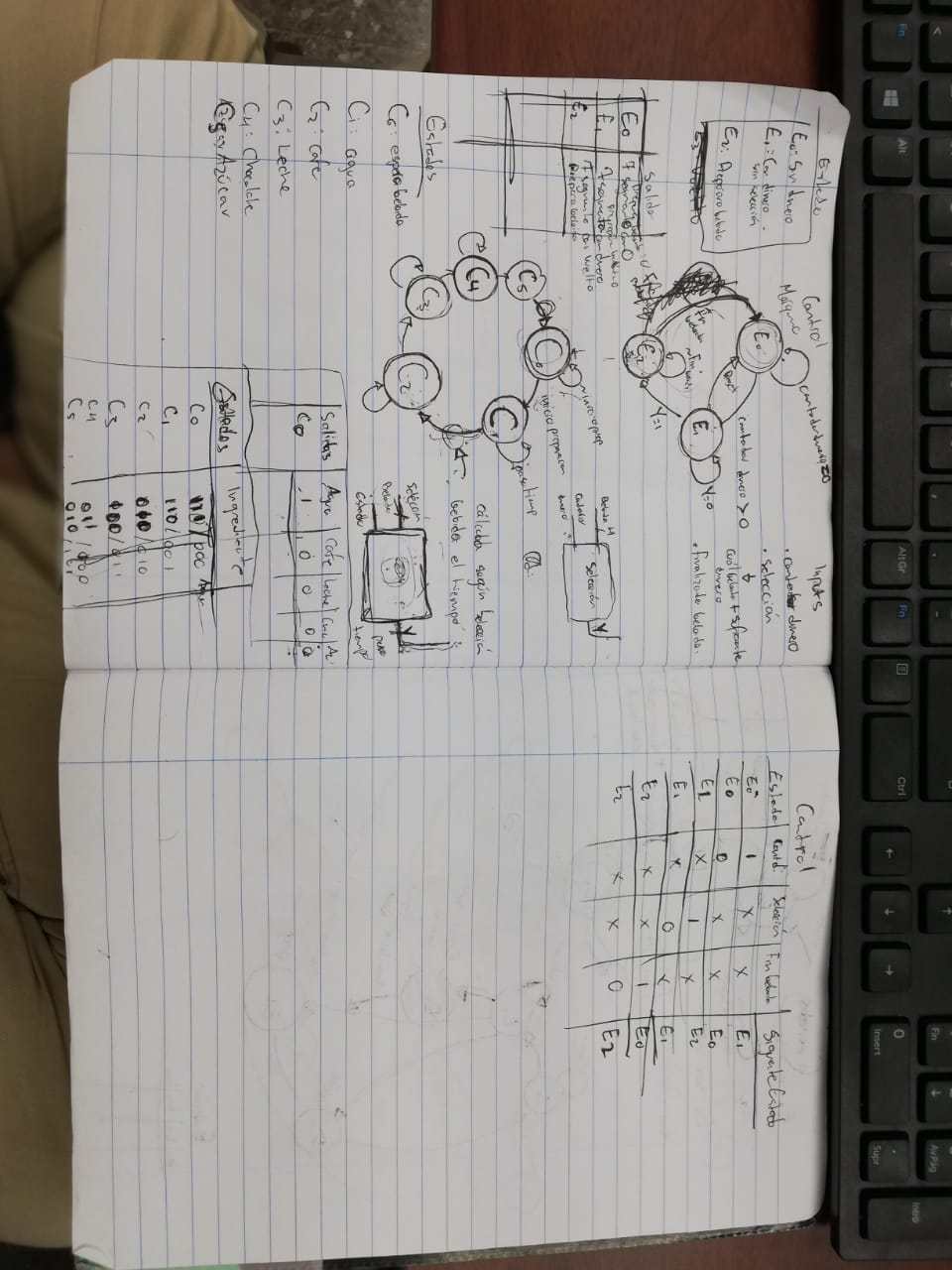
Objetivos de la sesión

1.Terminar los diagramas de la máquina de estados

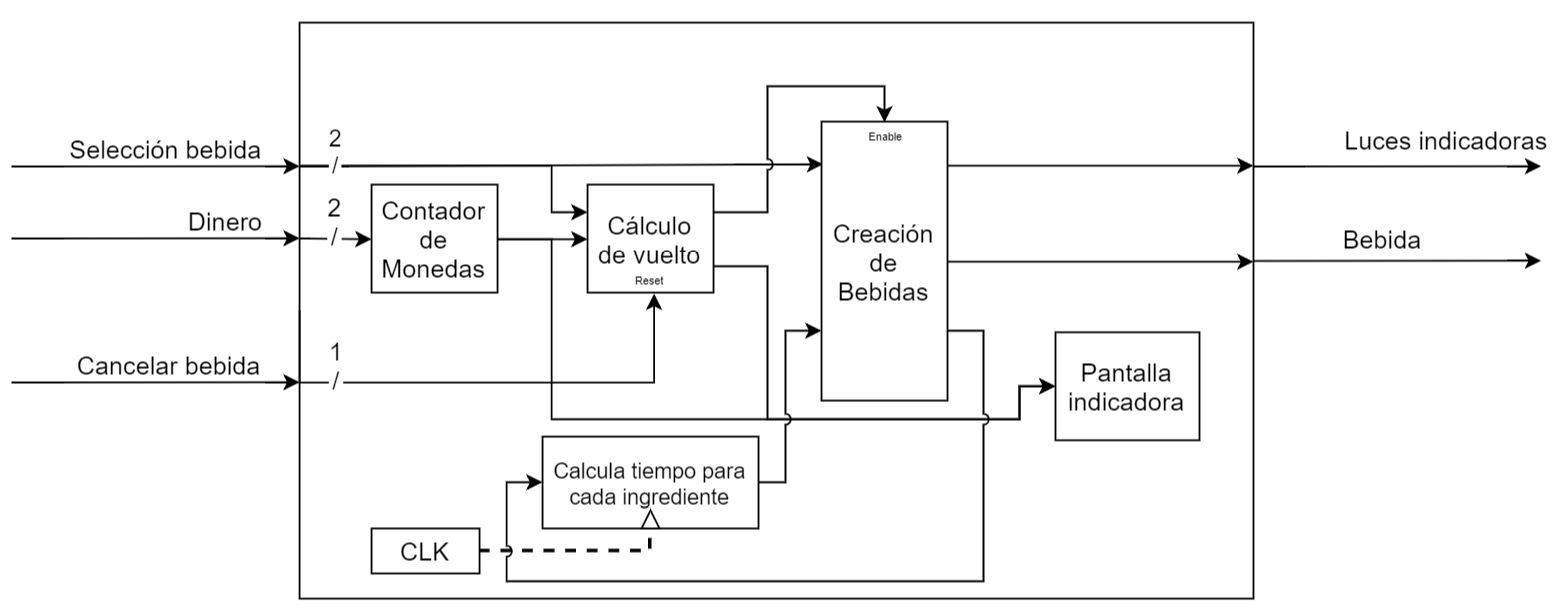
2.Terminar los primeros tres niveles del diseño modular.

Se realizó la máquina de estados finitos entre los tres integrantes, para esto se analizó el sistema modular del problema. Para la máquina de estados se realizó su respectivo estados y sus tablas de verdad con sus entradas, salidas y sus respectivas transición. Se discutieron diferentes posibilidades para el diseño de la máquina de estados. Al final se decidió unir dos máquinas de estados, la primera se encarga de recibir las monedas y verificar si hay suficiente dinero para el café seleccionado además del reset. Y la otra maneja los tiempos y la preparación del cafe.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Pasar los diagramas realizados en papel a la herramienta digital draw.io | Arturo Chinchilla | 09/07/2018 |







**I. Información general**

Sesión No. 3. Fecha: 9/9/2018.

Marque con una X la modalidad de la sesión:

Presencial ( )

En línea (x)

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Aguero |
| Secretariado | Luis Murillo |
| Fiscal | Arturo Chinchilla |

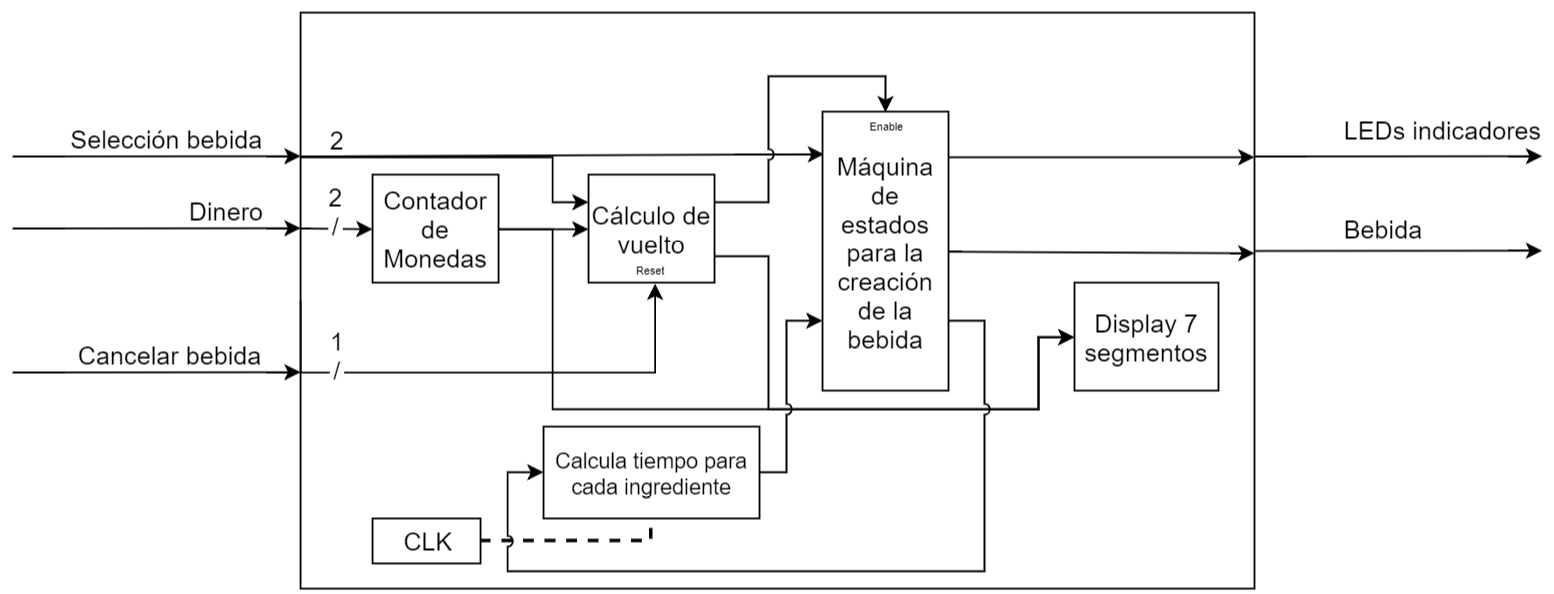
**II. Minuta**

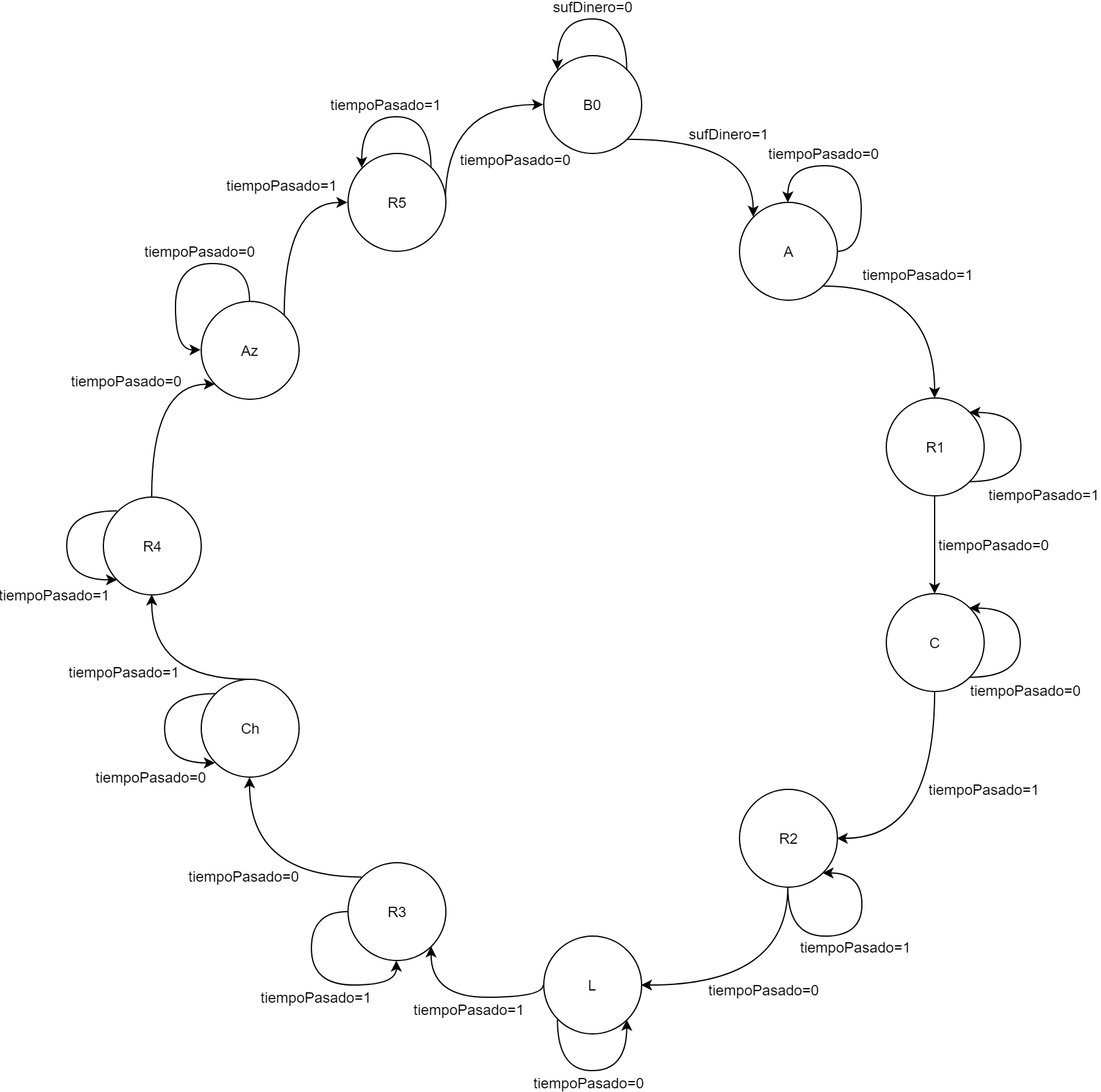
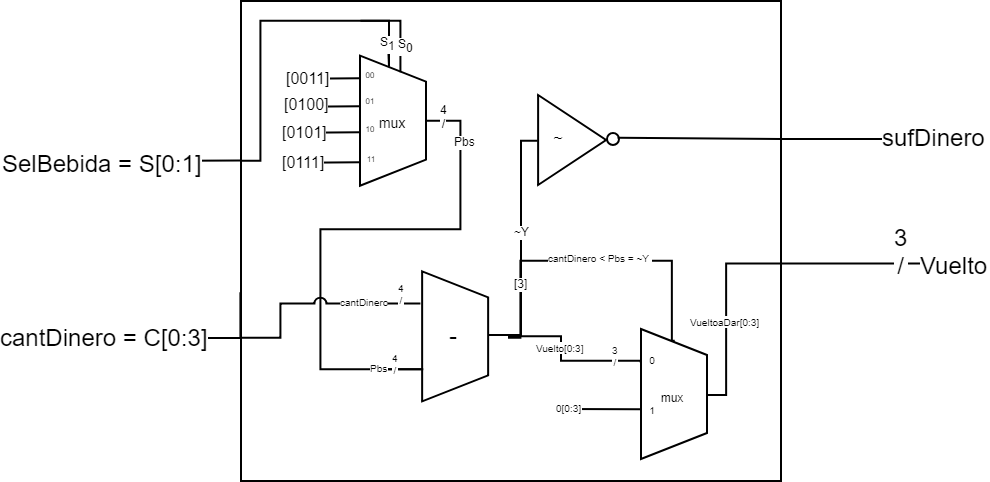
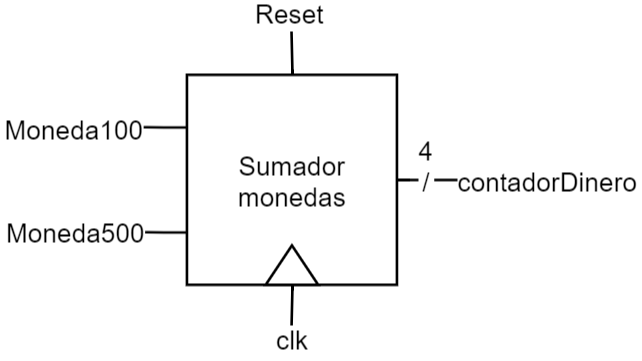
Objetivos de la sesión

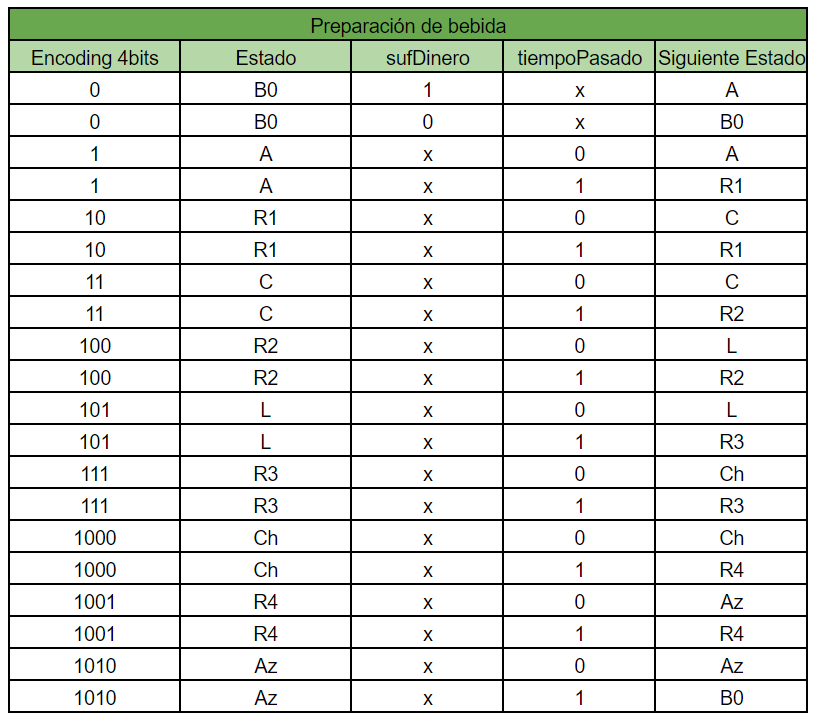
1.Terminar los diagramas de la máquina de estados

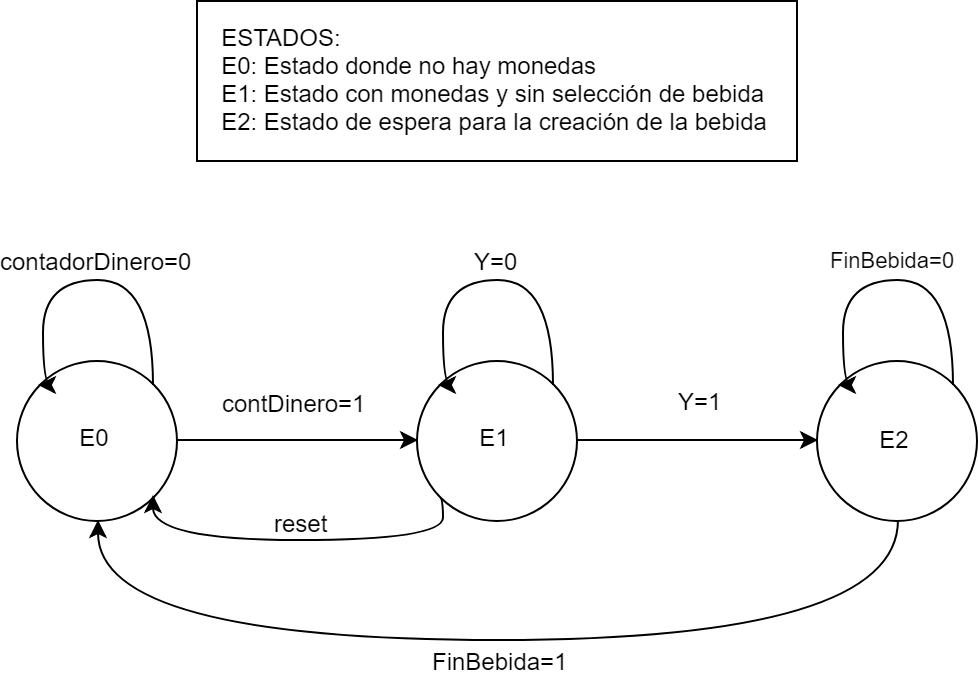
2. Terminar documentación del diseño modular.

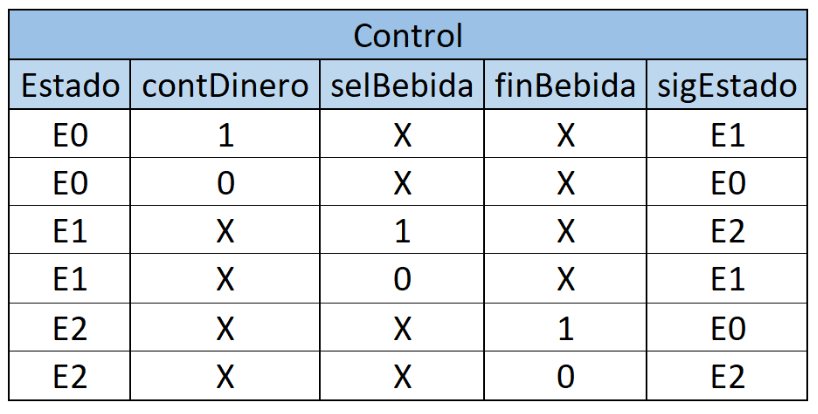
En esta reunión se trabajó exclusivamente en la realización del documento del diseño modular así como definir las tablas de la máquina de estados, en las cuales se definió entradas, salidas y estados anterior y siguiente para tener el diseño de la máquina de estados completa. El compañero Arturo se encargó de definir el tercer diagrama del diseño modular, todos lo compañeros analizaron y diseñaron las tablas necesarias para formar la máquina de estados, con la coordinación del compañero Jorge. Además a esto, con base en las tablas, y utilizando mapas de Karnaugh, el compañero Luis diseñó los circuitos necesarios para la selección del tiempo según la selección de bebida y los ingredientes, así como el contador de monedas. Jorge escribió los módulos de cálculo de vuelto y el divisor de tiempo según ingrediente y bebida, utilizando el circuito diseñado por Luis. El compañero Jorge armó el diagrama de quinto nivel del diseño modular.











## 

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Hacer la máquina de estados finitos en Quartus para verificar dinero. | Arturo Chinchilla | 12/9/2018 |
| Hacer máquina de estados finito en Quartus para preparación de bebida. | Jorge Aguero | 12/9/2018 |
| Hacer módulos de contar monedas, y tiempo. | Luis Murillo | 12/9/2018 |

**I. Información general**

Sesión No.5. Fecha: 12/9/2018.

Marque con una X la modalidad de la sesión:

Presencial (x)

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Aguero |
| Secretariado | Luis Murillo |
| Fiscal | Arturo Chinchilla |

**II. Minuta**

Objetivos de la sesión

1.Probar máquinas de estado en Quartus

2.Realizar los módulos faltantes aparte de la máquina de estados.

3.Realizar pruebas de la máquina de estados.

Se habló con el profesor acerca de la necesidad de circuitos de anti rebote en la FPGA, se necesita un circuito lógico que permita filtrar este efecto. Se puede utilizar latches, o circuitos “one shot”. Se cambio un módulo para la selección de tiempo a la hora de preparar una bebida ya que la máquina de estados no tomó en cuenta ciertos factores necesarios para la selección de tiempo. Jorge y Luis se dieron a la tarea de investigar maneras de poder mitigar el efecto de rebote en el circuito de entrada, así como hacer cambios en los circuitos de selección de tiempo, puesto que se cambió el encoding de la bebida a ser “one hot” porque el diseño se había hecho en 2 bits, lo cual codificaba las 4 bebidas, pero no un estado en el que no hubiera selección de bebida, por lo que se necesitaría un bit más. Se decidió usar 4 bits para el “one hot” encoding por simplicidad de la lógica.

Se necesita un clock con un periodo de 1, 2, y 3s (1 Hz, 0.5 Hz, 0.33 HZ)

Usando con FFPGA= 50Mhz

Se tiene que para

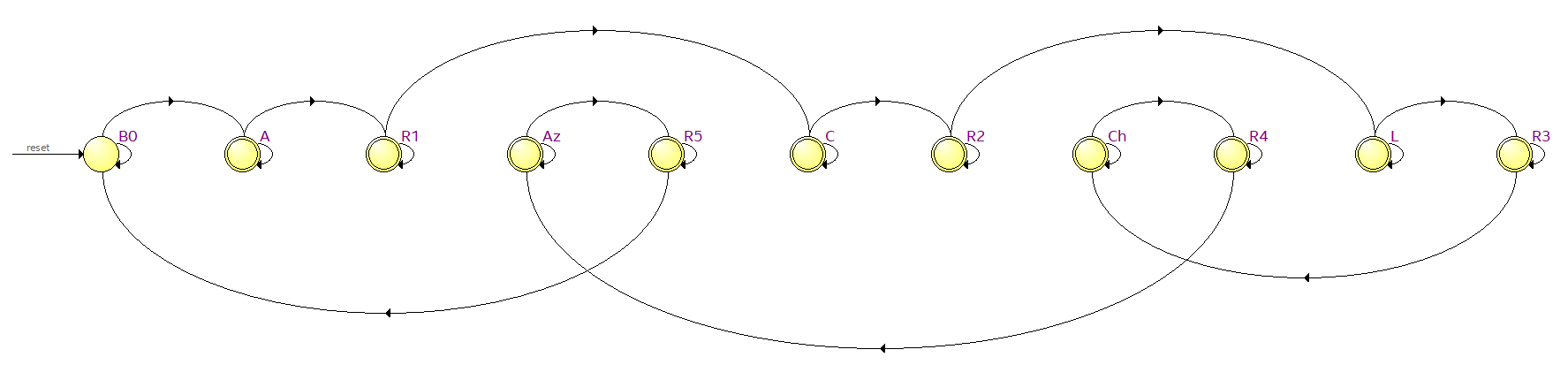
1s => n= 24.57542

2s => n= 25.57542

3s => n=26.16039

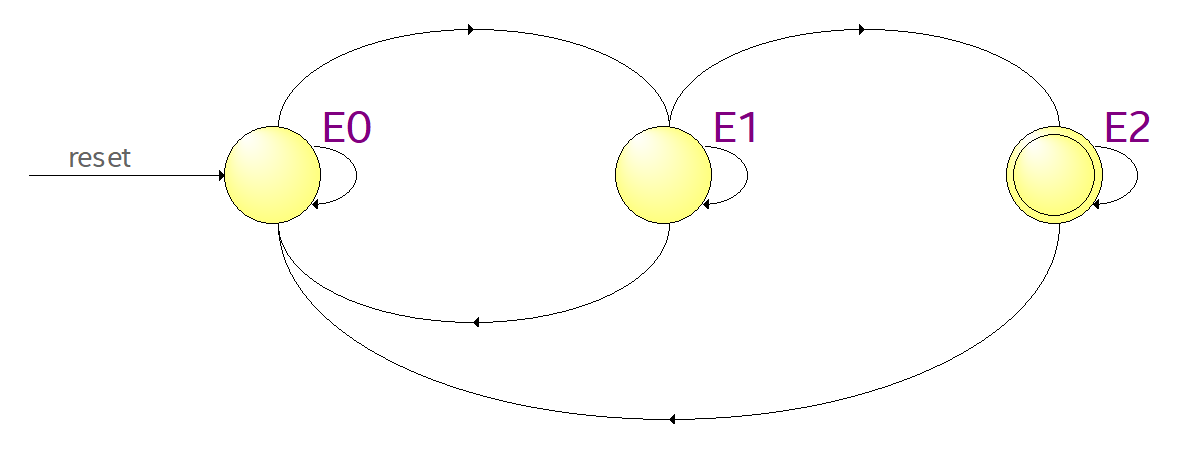
Se deben hacer mediciones para elegir los valores correctos a los cuales se deben pegar las patillas.

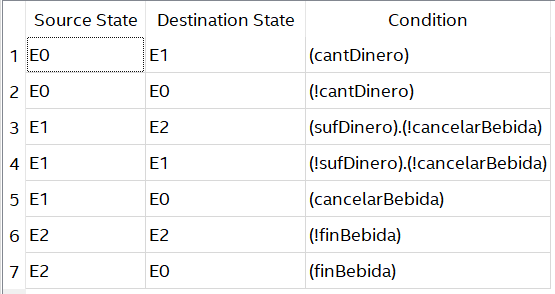
El compañero Arturo escribió el módulo de la máquina de estados para la creación de la bebida. En la siguiente figura se observa el diseño generado por Quartus.





EL compañero Arturo escribió el módulo de control, que controla el funcionamiento del sistema. En la siguiente figura se muestra el diseño de la máquina de estados generada por Quartus





**I. Información general**

Grupo No. 1. Proyecto No. 4. Fecha: 09/14/2018.

Nombre del Proyecto: Lógica Secuencial de Control

Sesión No. 5.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ( )

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Jorge Agüero |
| Secretariado | Arturo Chinchilla |
| Fiscal | Luis Murillo |

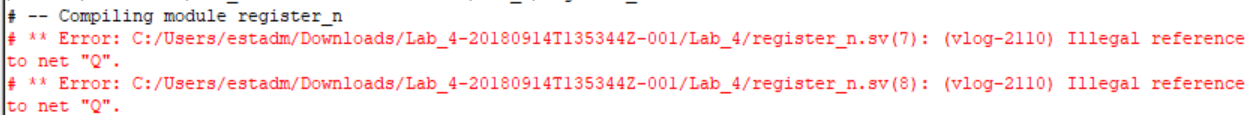
**II. Minuta**

Objetivos de la sesión

1. Corregir los tiempos para cada ingrediente.
2. Realizar el test bench para la máquina de café
3. Quemar en la FPGA la máquina de café
4. Presentar al profesor el trabajo realizado

El compañero Jorge estuvo trabajando en la corrección de los tiempos para cada ingrediente de la máquina, sin embargo el profesor le dijo que no era necesario que para cada ingrediente la duración fuera exactamente la solicitada en la especificación.

Se estuvo trabajando en la realización del testbench para la máquina de café por parte de los compañeros Arturo y Jorge, sin embargo, cuando se quiso correr la primera prueba de simulación el archivo register\_n.sv causaba un conflicto que no se logró resolver:



Una vez llegó el profesor a la revisión del trabajo se corrigió (faltaba declarar logic la salida “Q”).

El compañero Luis se encargó de quemar en la FPGA el módulo de la máquina de café, sin embargo su comportamiento no era el deseado. Entonces se quemó el módulo que calcula el monto total de dinero para que el profesor comprobara el trabajo realizado.